

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-056362

(43)Date of publication of application : 24.02.1992

(51)Int.Cl.

H01L 29/788

H01L 27/115

H01L 29/792

(21)Application number : 02-170904

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.06.1990

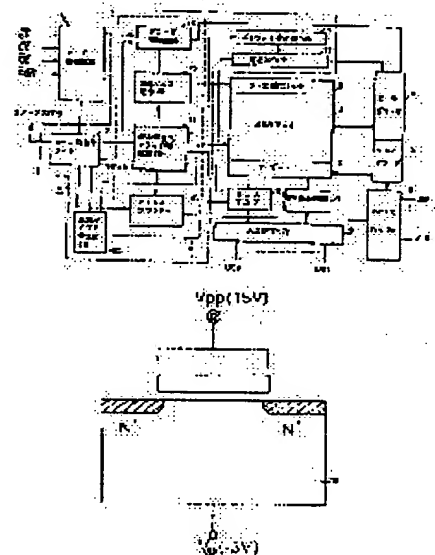
(72)Inventor : TERADA YASUSHI
NAKAYAMA TAKESHI
HAYASHIGOE MASANORI
KOBAYASHI SHINICHI
MIYAWAKI YOSHIKAZU

(54) NON-VOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To shorten an erasing time by applying high voltage to word lines in erasing, applying negative substrate bias to a substrate on which a memory array is formed, and implanting floating gate electrons by the tunnel phenomenon.

CONSTITUTION: When an erasing command is entered, a substrate bias generation circuit 30 is activated and voltage as high as about $-3V$ is applied to a p-substrate 29. All the word lines 25 are selected and high voltage V_{pp} is applied. The V_{pp} is preferably increased in a chip and as high as about 15V. The source/drain of memory transistors are kept floating. The potential difference between the p-substrate 29 and a control gate 20 is 18V, therefore, a strong electric field is induced in an oxide film between a floating gate 21 and the p-substrate 29, electrons are implanted in the floating gate 21 by the tunnel phenomenon, and the threshold of the memory transistors increases. Because all the memory transistors are thus processed at a time, writing before erasing is completed in about 10ms.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-56362

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月24日

H 01 L 29/788

7514-4M
8831-4M

H 01 L 29/78
27/10

3 7 1
4 3 4

※

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平2-170904

⑰ 出 願 平2(1990)6月26日

⑱ 発 明 者 寺 田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 発 明 者 中 山 武 志 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑳ 発 明 者 林 越 正 紀 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉑ 発 明 者 小 林 真 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

フローティングゲートを有するメモリトランジスタが行方向、列方向にアレイ配置されており、書き込みはアバランシエ崩壊で生じたホットエレクトロンをフローティングゲートに注入することにより行い、消去はフローティングゲートに蓄積された電子をトンネル現象を利用して引き抜く構成であつて、消去前にワード線に高圧を印加するとともにp基板に負の電圧を印加し、フローティングゲートにトンネル現象を利用して電子を注入することを特徴とする不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、不揮発性半導体記憶装置、特に電気的に一括消去が可能なフラッシュ EEPROM に関するものである。

〔従来の技術〕

第6図は1B8C0ダイジエスト・オブ・テクニカルペーパーズ(1990)PP.60-61に示された従来のフラッシュ EEPROM のブロック図、第8図は第6図に示す消去制御回路の詳細なブロック図である。図において11はメモリアレイ、12はイゲート、13はソース線スイッチ、14はロクデコード、15はコラムデコード、16はアドレスバッファ、17は書き込み回路、18はセンスアンプ、19は入出力バッファ、20はモード制御回路、21は消去制御回路、22はコマンド信号ラッチ、23はシーケンス制御回路、24はペリファイ電圧発生器、25は電圧スイッチ、26はアドレスカウンタ、27は消去/消去ペリファイ制御回路、28はデコード制御回路、29は消去パルス発生器である。

メモリアレイ11の周辺にイゲート12、ソース線スイッチ13、ロクデコード14、コラムデコード15が設けられている。ロクデコード14、コラムデコード15にはアドレスバッファ16の出力が入

特開平4-56362 (2)

力される。Yゲート(1)を介してメモリアレイ(11)に書き込み回路(17)、センスアンプ(18)が接続される。書き込み回路(17)、センスアンプ(18)は入出力バッファ(19)に接続される。アドレスバッファ(16)にはアドレス信号A0ないしA5が入力される。入出力バッファ(19)には入出力データ信号I/O0ないしI/O7が接続される。

さらに、モード制御回路20、消去制御回路21が設けられている。モード制御回路20には制御信号 $\overline{B\bar{B}}$ 、 $\overline{O\bar{B}}$ 、 $\overline{O\bar{B}}$ 、 $\overline{P\bar{O}M}$ が入力される。

第5図において、消去制御回路21はコマンド信号ラッチ22、シーケンス制御回路23、ペリフアイ電圧発生回路24、電圧スイツチ25から構成される。シーケンス制御回路23はアドレスカウンタ26、消去/消去ペリフアイ制御回路27、デコード制御回路28、消去パルス発生器29から構成される。第6図に従来のメモリセルの断面図を示す。メモリセルはコントロールゲート20、フローティングゲート21の2層のゲート並びにドレイン22、ソース23から構成されている。

次に動作について説明する。まず第7図に示すA部のメモリセルに書き込みを行なう場合について説明する。書き込み回路(17)が活性化され、I/O線24に高圧Vppが印加される。コラムデコード25により出力Y1が選択され、出力Y1のレベルが高圧Vppに昇圧される。出力Y2、Y3は“L”レベルに保たれる。さらに、ロウデコード26によりワード線WL1が選択されWL1のレベルが高圧Vppに昇圧される。ソース線27はソース線スイツチ28により接地される。これにより、メモリセルのドレイン22、コントロールゲート20に高圧が印加され、ソース23が接地される。ドレイン22近傍のアバランシェ崩壊により生じたホットエレクトロンがフローティングゲート21に注入されメモリトランジスタ(メモリセルのコントロールゲートをゲートするトランジスタ)のしきい値が高くなる。この状態を、情報“0”が書き込まれたものとする。

消去は、メモリセルのソース23にソース線スイツチ28により高圧Vppを印加し、コントロー

ルゲート20を接地し、ドレイン22をフローティングに保つことにより行なわれる。フローティングゲート21、ソース23間の酸化膜厚がEPROMより薄く、ほぼ100Å程度に形成されている。第7図は従来のメモリアレイの構成を示すブロック図である。図において(1)~(8)は第4図に示したものと同等である。24はビット線24はワード線、25はYゲートトランジスタ、26はI/O線、27はソース線である。

メモリアレイは第8図に示すメモリセルが行方向列方向にアレイ配置され、ドレイン22がビット線24(BL1, BL2...)に、コントロールゲート20がワード線25(WL1, WL2...)に接続されている。ワード線25はロウデコード26に接続されている。ビット線24はコラムデコード27の出力(Y1, Y2...)がゲートに入力されるYゲートトランジスタ28を介してI/O線29に接続される。I/O線29にはセンスアンプ(18)、書き込み回路(17)が接続されている。メモリセルのソース23はソース線27に接続され、ソース線27はソース線スイツチ28に接続されている。

ルゲート20を接地し、ドレイン22をフローティングに保つことにより行なわれる。フローティングゲート21、ソース23間の酸化膜に強い電界が誘起されトンネル現象により電子がフローティングゲート21からソース23に引き抜かれメモリトランジスタのしきい値が低くなる。すなわち、コラムデコード26、ロウデコード27の出力すべてを“L”にすることにより行なわれる。ソース線27が共通であるので消去はメモリアレイ一括になされる。消去によりメモリセルには情報“1”が記憶されたものとする。消去動作については後で詳述する。以下、“H”レベルとは電源電圧(5V)程度を示し、“L”レベルは接地電位を示すものとする。

次に第9図に示すA部のメモリセルについて読み出しを行なう場合について説明する。コラムデコード25により出力Y1のレベルが“H”となり他のコラムデータ26の出力(Y2, Y3...)は“L”に保たれる。ロウデコード26によりワード線WL1のレベルが“H”となり他の

特開平4-56362 (3)

ワード線は“L”レベルに保たれる。ソース線はソース線スイッチ(1)により接地される。メモリセルが書き込み状態でありメモリトランジスタのしきい値が高ければ、コントロールゲート時に“H”レベルが印加されてもメモリトランジスタは導通せず、ビット線からソース線に電流は流れない。メモリセルが消去状態でありメモリトランジスタのしきい値が低ければメモリトランジスタは導通し、ビット線からソース線にメモリセルを介して電流が流れる。メモリセルを介して電流が流れるか否かをセンスアンプ(1)により検出し、メモリセルに記憶された情報が“1”であるか“0”であるかを判定する。

一般に、EPROMでは消去は紫外線照射によつてなされるため、フローティングゲートが電気的に中性になると、それ以上にはフローティングゲートから電子は引き抜かれず、メモリトランジスタのしきい値は1V程度以下にはならない。

ルのソースに印加し、その後読み出しを行ない、メモリトランジスタのしきい値が所定の値より低くなつたかどうかをチェックするという動作を全てのメモリセルのしきい値が所定の値より低くなるまで繰り返すことにより、消去され易いメモリトランジスタのしきい値が負になるのを防ぐというものである。このしきい値をチェックする読み出し動作を、消去ベリファイ動作と呼ぶ。

以下、消去動作について説明する。消去制御回路(1)において、コマンド信号ラッチ(2)は入力された制御信号をラッチするもので、消去動作中システムバスを解放するものである。シーケンス制御回路(3)は消去パルスの発生、消去ベリファイ動作を制御するためのものである。第8図に消去時のクロックタイミング図を示す。

消去動作は、制御信号 \overline{CE} が“L”の時、制御信号 \overline{EE} が一定時間“L”に保たれると開始される($t_{EW}=50ns$)。この時、 \overline{OE} と \overline{PGM} は“H”でないといけない。消去モードにはい

一方、トンネル現象を利用した電子の引き抜きでは、フローティングゲートから電子が過剰に引き抜かれ、フローティングゲートが正に帯電してしまうということが起り得る。この現象を過消去(もしくは過剰消去)と呼ぶ。メモリトランジスタのしきい値が負になつてしまうため、その後の読み出し・書き込みに支障をきたす。すなわち、読み出し時に非選択でワード線のレベルが“L”であり、メモリトランジスタのコントロールゲートに印加されるレベルが“L”であつても該メモリトランジスタを介してビット線から電流が流れてしまうので、同一ビット線上の読み出しを行なおうとするとメモリセルが書き込み状態でしきい値が高くとも“1”を読み出してしまふ。また、書き込み時においても過消去されたメモリセルを介してリーク電流が流れるため書き込み特性が劣化しさらには書き込み不能になつてしまふ。

この、過消去を防ぐために自動消去機能を有している。これは、短い消去パルスメモリセ

ると、消去パルスの印加、消去ベリファイ動作は自動的に繰り返され、制御信号を印加する必要はない。内部動作、すなわち消去動作が継続されているかどうかは入出力データ信号 I/O のステータスポーリングモードにより知ることができる。これは、 \overline{CE} 、 \overline{OE} 、 \overline{EE} を“L”とし \overline{PGM} を“H”としたとき、消去動作中ならば入出力データ信号 I/O に“L”が出力され、消去が終了したならば“H”が出力されるというものである。コマンド信号ラッチ(2)はステータスポーリングコマンド以外の制御信号並びにアドレス信号を受け付けない。

消去モードでは、まず、全てのメモリセルに書き込みがなされ、しきい値が高くなる。この動作を行なわずに、しきい値が低い状態のメモリセルに消去パルスを印加すると、過消去されてしまふ。アドレスカウンタ(4)により発生されたアドレス信号がアドレスバッファ(5)に入力される。ロクデコード(6)、コラムデコード(8)、書き込み回路(7)は、消去/消去ベリファイ制

特開平4-56362 (4)

制御回路により制御される。次に、消去／消去ベリファイ動作が開始される。全てのメモリセルのソースに高圧を印加し、全てのワード線を接地することによりチップ制御が行なわれる。10msの消去パルスの印加の後、消去ベリファイが行なわれる。シーケンス制御回路はアドレスカウンタにより発生されたアドレス信号により選択されたメモリセルの読み出しを順次行なつてゆく。

消去ベリファイは、しきい値の高いメモリセルが発見されるまで継続される。もし、しきい値の高いメモリセルが残っていたならばベリファイ動作は中止され、消去動作が繰り返される。この、消去／消去ベリファイ動作は全てのメモリセルのしきい値が低くなつたと判定されるまで繰り返される。最終に、ステータス信号が“B”となり、全ての消去動作が終了する。

読み出し時の動作マージンを確保するため、消去ベリファイ動作は低い電源電圧条件で行なわれなければならない。これは、選択された

ワード線とすなわちメモリトランジスタのコントロールゲートには電源電圧もしくは、電源電圧からロッチャネルトランジスタのしきい値分低い電圧が印加されるため、電源電圧が5Vの時メモリトランジスタが導通し、しきい値が低いと判定されても低い電源電圧の時導通しない可能性があるためである。また、導通したとしても流れる電流が少なく読み出しアクセスの遅延を引き起こす可能性があるからである。そのため、ベリファイ電圧発生器04が設けられている。ベリファイ電圧発生器04は3.4Vをロクデコード04、センスアンプ08に供給する。すなわち、電源電圧3.4Vでの読み出しを可能とする。電圧スイッチ06は電源電圧の5V、書き込み時に用いられる高圧13V、さらにベリファイ電圧3.4Vを切り換える回路であり、ロクデコード04、コラムデコード06には13V/5V/3.4Vを供給し、センスアンプ08には5Vもしくは3.4Vを供給する。13Vは外部から供給される13Vチャージポンプ回路で昇圧するこ

とにより発生される。これは書き込み効率を上げるためである。

〔発明が解決しようとする課題〕

従来のフラッシュEEPROMは以上のように構成されているので、消去時に全ビットに書き込みを行なわねばならず、消去動作に時間がかかるという問題点があった。例えば1MフラッシュEEPROMにおいて80μsのパルスをバイト毎に印加していくと133kバイトあるのでおよそ8.6秒となる。

この発明は上記のような問題点を解決するためになされたもので、消去時間の短いフラッシュEEPROMを得ることを目的とする。

〔課題を解決するための手段〕

この発明に関わるフラッシュEEPROMは、消去時にワード線に高圧を印加するとともにメモリアレイの形成されている基板に負の基板バイアスを印加し、トンネル現象によりフローティングゲート電子を注入する。

〔作用〕

この発明によるフラッシュEEPROMは、消去時にワード線に高圧を印加し、メモリアレイの形成されている基板に負のバイアスを印加し、フローティングゲートに電子を注入することにより消去前書き込みを行う。

〔実施例〕

以下この発明に係る不揮発性半導体記憶装置の一実施例を図について説明する。第1図はフラッシュEEPROMのブロック図、第2図は第1図のEEPROMにおいて消去前書き込み時の電圧印加条件を示すメモリトランジスタの断面図である。図において①～④は第4図及び第5図の従来例に示したものと同等であるので説明を省略する。⑤はp基板、⑥は基板バイアス発生回路である。

次に動作について説明する。

書き込み、読み出し動作は従来例と同じであるので消去動作についてのみ説明する。消去コマンドが入力されると、基板バイアス発生回路⑥が活性化されp基板⑤におよそ-1Vの電圧

特開平4-56362 (5)

が印加される。ワード線4がすべて選択され高圧 V_{pp} が印加される。 V_{pp} は外部高電圧電源から供給される18Vでもよいが、チップ内部で昇圧し18V程度を印加する方が望ましい。メモリトランジスタのソース/ドレインはフローティングに保つ。この時のメモリトランジスタの電圧条件を第3図に示す。p基板4とコントロールゲート4の電位差が18Vとなるので、フローティングゲート4・p基板4間の酸化膜に大きな電界が誘起されトンネル現象により電子がフローティングゲート4に注入されメモリトランジスタのしきい値が高くなる。1000程度で、アバランシェを利用した書き込み時と同程度のしきい値となる。全てのメモリトランジスタについて同時に行なわれるので、消去前書き込みが1000程度で終了する。また、4Mビット/16Mビットと容量が大きくなつても消去前書き込みに要する時間は変わらない。また、ソース4をフローティングではなくp基板4と同じ電圧(-8V)としてもよい。

行なうように構成したので、消去時間が大幅に短縮されるという効果がある。

4. 図面の簡単な説明

第1図はこの発明に係る不揮発性半導体記憶装置の一実施例によるフラッシュEEPROMのブロック図、第3図は第1図のEEPROMにおいて、消去前書き込み時のメモリトランジスタの電圧印加条件を示すメモリトランジスタの断面図、第5図はこの発明の他の実施例によるフラッシュEEPROMの基板の一部のレイアウトを示す平面図、第6図は従来フラッシュEEPROMのブロック図、第7図は第6図に示す消去制御回路のブロック図、第8図は従来のメモリセルの断面図、第9図は従来のメモリアレイの構成を示すブロック図、第10図は第10図の回路の消去動作時のクロックタイミング図である。

図において、11はメモリアレイ、12は γ ゲート、13はソース線スイッチ、14はロウデコーダ、15はコラムデコーダ、16はアドレスパツファ、

第8図この発明の他の実施例によるフラッシュEEPROMの基板一部のレイアウトを示す平面図である。図において11~14、16、17、18は第1図に示したものと同等である。12は第1の p ウエル12は第2の p ウエル、13はパツファ周辺回路である。第8図に示すように、メモリアレイ11とその他の回路を第2の p ウエル12と第1の p ウエル12に形成してもよい。第1図の場合であると p 接合耐圧が18V以上必要となるが(拡散層18V、p基板4に-8Vが印加される箇所があるため)第8図の例であると接合耐圧は18Vあればよい。

消去パルス印加動作や、消去ベリファイ動作については従来例と同様であればよいが、この発明に関わりの無い部分であるので、他の消去動作と組み合わせることも可能である。

〔発明の効果〕

以上のように、この発明によれば、消去前書き込みをワード線に高圧を印加するとともに、p基板に負電圧を印加しトンネル現象を用いて

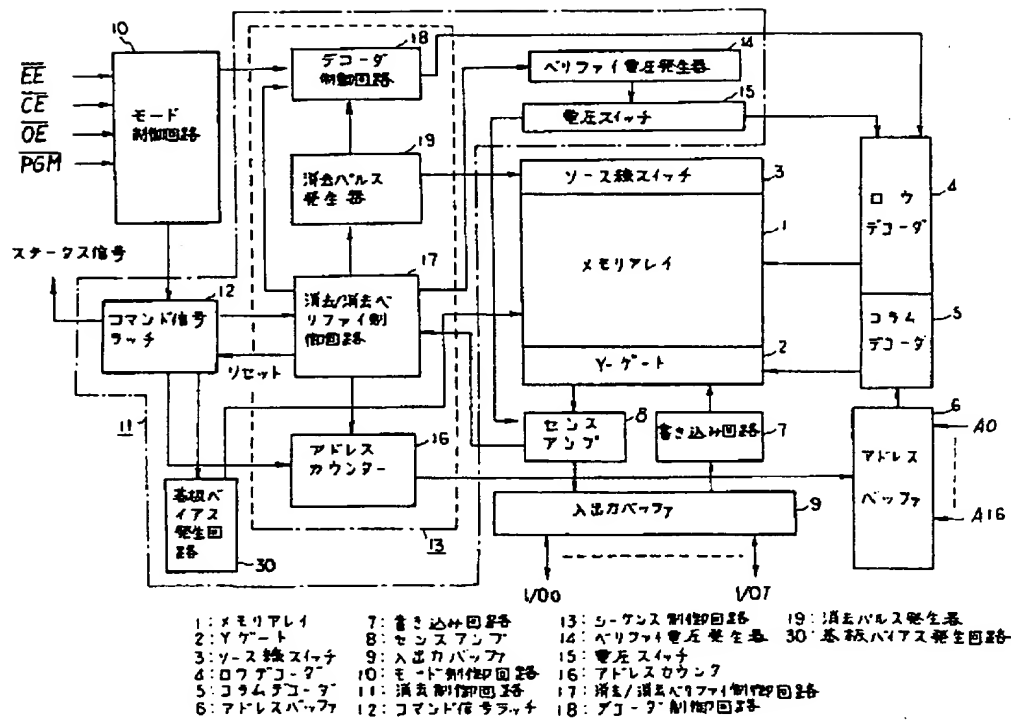
17は書き込み回路、18はセンスアンプ、19は入出力パツファ、20はモード制御回路、21は消去制御回路、22はコマンド信号ラッチ、23はシーケンス制御回路、24はベリファイ電圧発生器、25は電圧スイッチ、26はアドレスカウンタ、27は消去/消去ベリファイ制御回路、28はデコード制御回路、29は消去パルス発生器、30はp基板、31は基板バイアス発生回路、32は第1の p ウエル、33は第2の p ウエル、34はパツファ周辺回路である。

なお、図中、同一符号は同一、又は相当部分を示す。

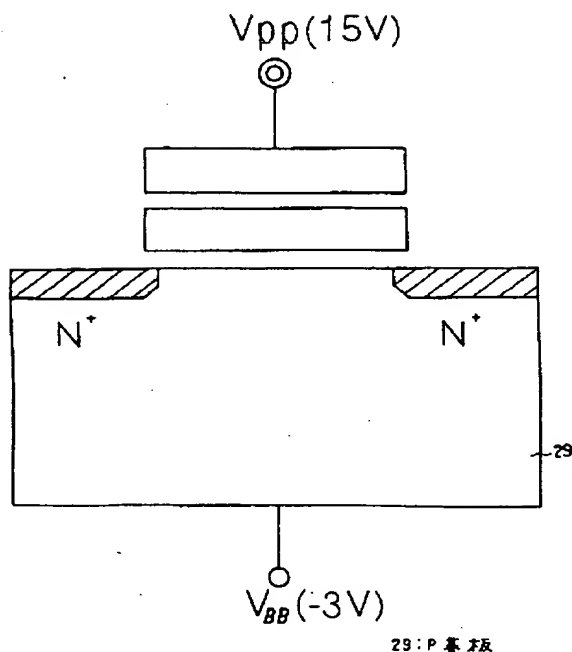
代理人 大 岩 増 雄

特開平4-56362 (6)

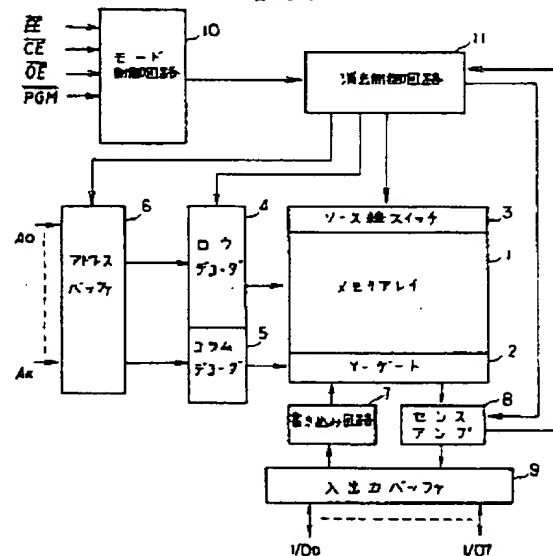
第1図



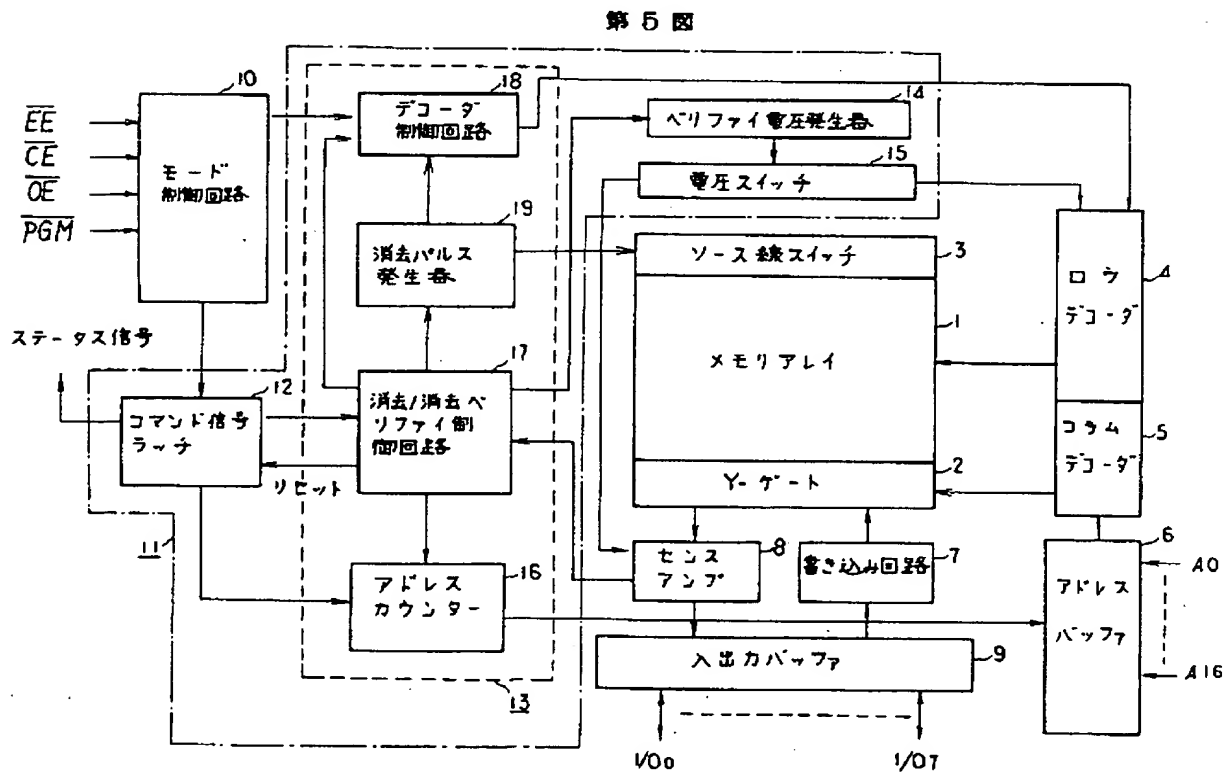
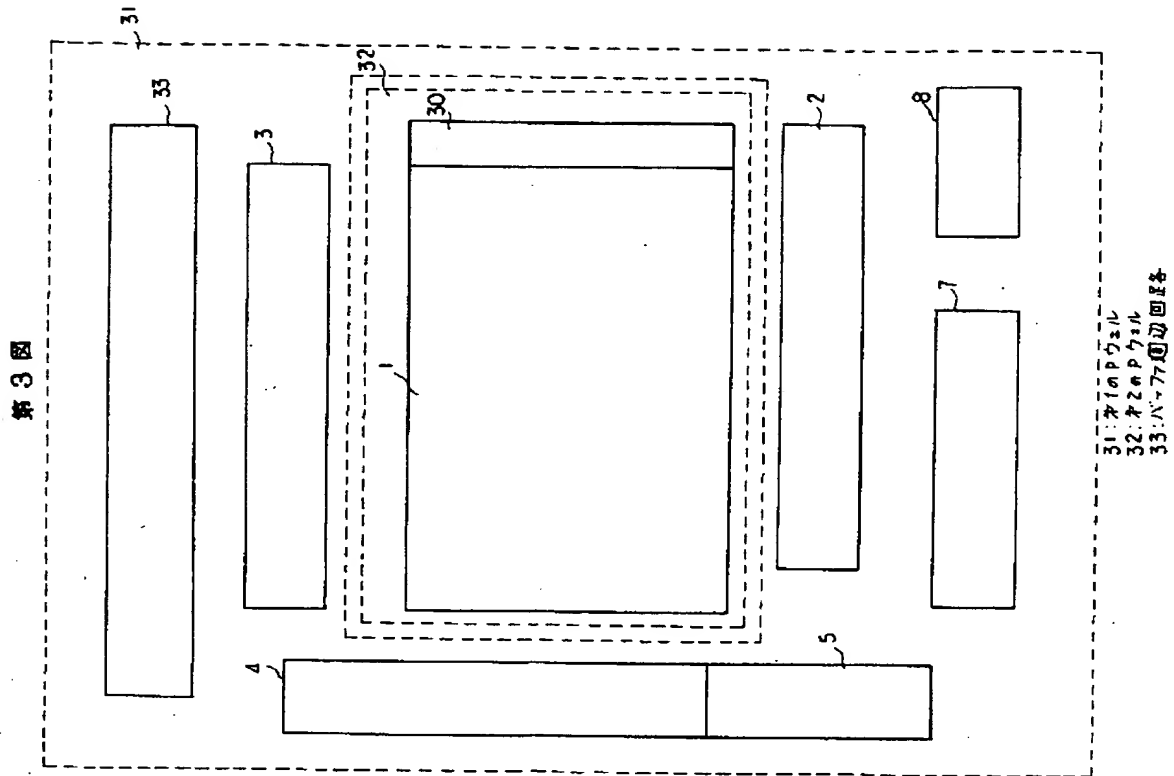
第2図



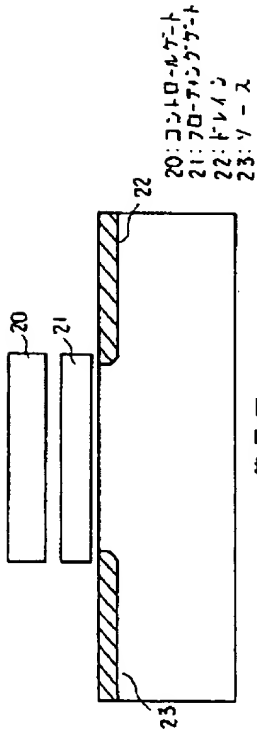
第4図



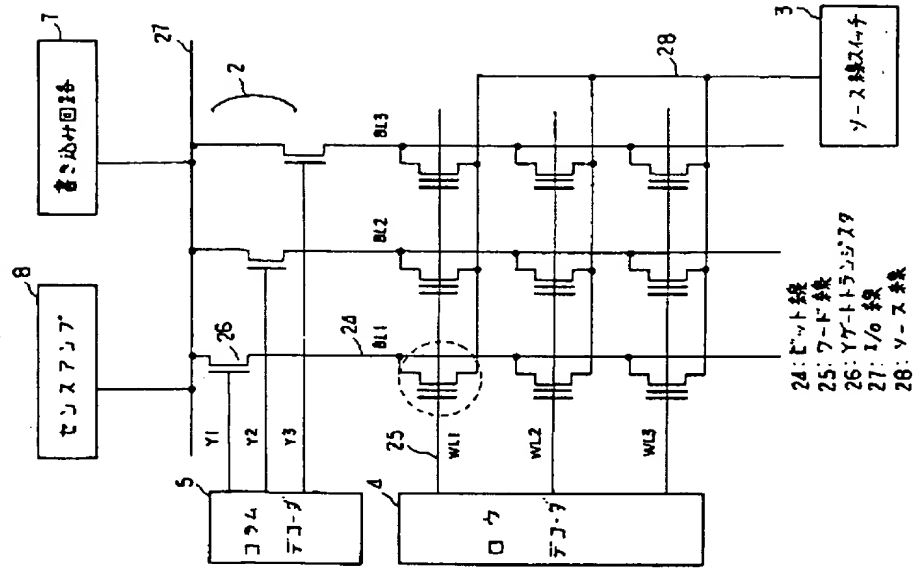
特開平4-56362 (7)



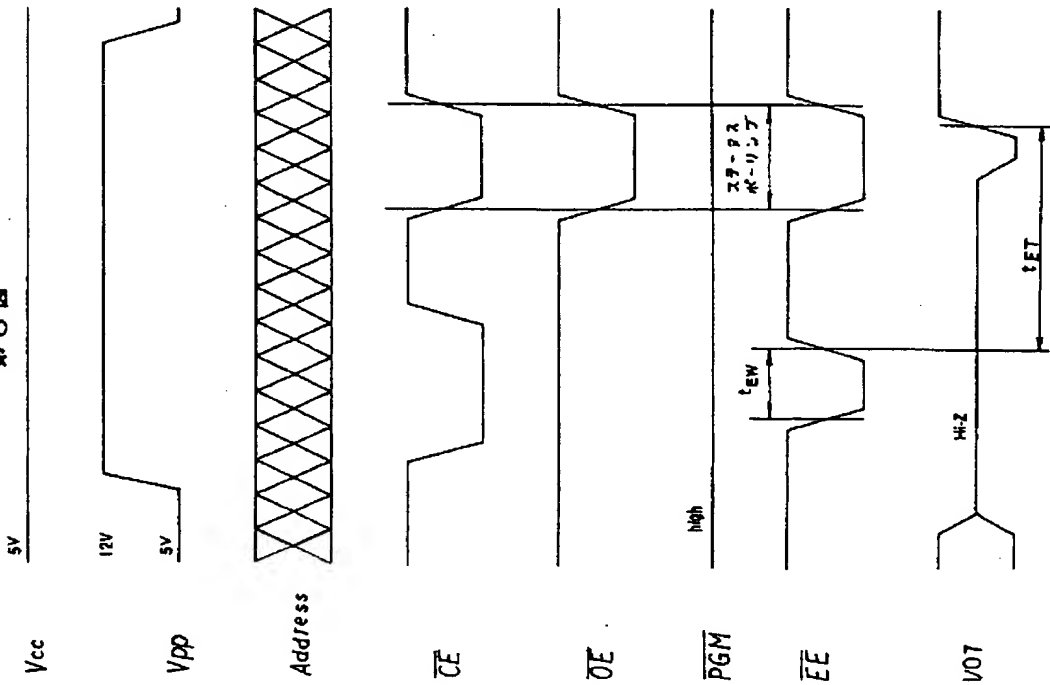
第6図



第7図



第8図



特開平4-56362 (9)

第1頁の続き

⑤Int. Cl. *

H 01 L 27/115
29/792

識別記号

庁内整理番号

⑦発明者 宮 脇 好 和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・
エス・アイ研究所内